

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-207900

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

**G11C 29/00**

**G11C 11/407**

**G11C 11/401**

**(21)Application number : 11-005656**

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 12.01.1999

(72)Inventor : TOMISHIMA SHIGEKI

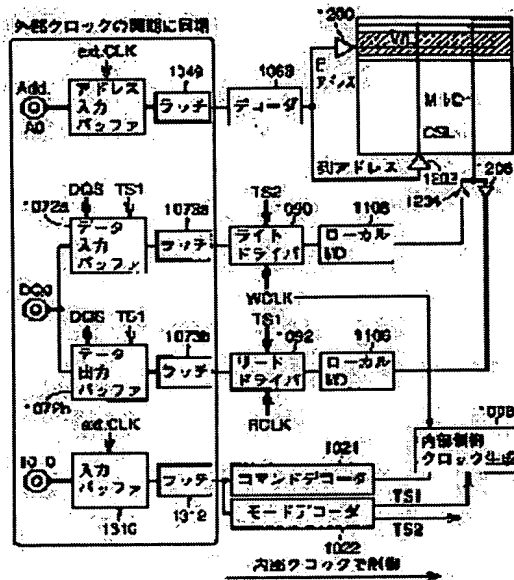
# OISHI TSUKASA

## (54) SYNCHRONIZING TYPE SEMICONDUCTOR MEMORY

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a DDR-SDRAM(single data rate synchronous DRAM) which can perform a test with a low speed tester device.

**SOLUTION:** A write-driver circuit 1090 gives write-in data of which level is reversed every write-in cycle to a selected memory cell based on write-in data held in a latch circuit 1073a at the point of time at which write-in operation in a test operation mode is specified, in a test operation mode. A read-out driver circuit 1092 gives a compared result of data successively read out to the latch circuit 1073b in accordance with a read-clock signal RCLK, in a test operation mode. A data input buffer 1072a and a data output buffer 1072b operate synchronizing with an external clock signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-207900

(P2000-207900A)

(43) 公開日 平成12年7月28日(2000.7.28)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	シーコード(参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 Z 5 B 0 2 4
11/407		11/34	3 6 2 S 5 L 1 0 6
11/401			3 7 1 A

審査請求 未請求 請求項の数 6 O L (全 19 頁)

(21) 出願番号 特願平11-5656

(22) 出願日 平成11年1月12日(1999.1.12)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 宮嶋 茂樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 探見 久郎 (外3名)

Fターム(参考) 5B024 AA15 BA21 BA29 EA01 EA04

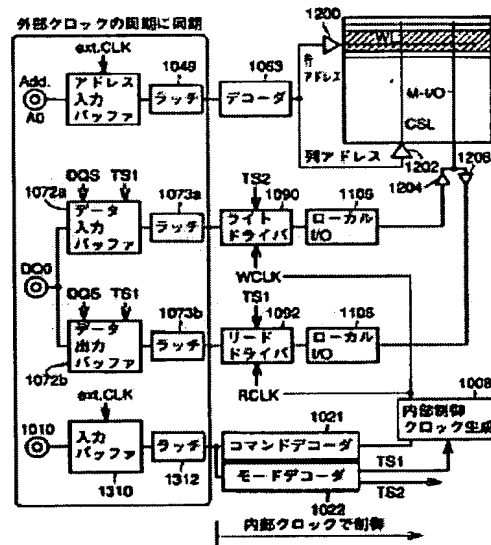
5L106 AA01 DD00 DD11 FF01 GG03

## (54) 【発明の名称】 同期型半導体記憶装置

(57) 【要約】

【課題】 低速なテスト装置によりテストすることが可能なDDR-SDRAMを提供する。

【解決手段】 ドライバ回路1090は、テスト動作モードにおいては、テスト動作モードにおける書込動作が指定された時点で、ラッチ回路1073aに保持された書込データに基づいて、書込サイクルごとにレベルが反転する書込データを選択されたメモリセルに与える。読出ドライバ回路1092では、テスト動作モードにおいては、順次読出されるデータの比較結果をリードクロック信号RCLKに応じて、ラッチ回路1073bに与える。データ入力バッファ1072aおよびデータ出力バッファ1072bは外部クロック信号に同期して動作する。



【特許請求の範囲】

【請求項 1】 外部クロック信号に同期して、アドレス信号と制御信号とを取りこむ同期型半導体記憶装置であって、

行列状に配置される複数のメモリセルを有するメモリセルアレイと、

第1の動作モードが指定されるのに応じて、前記外部クロック信号に同期した第1の内部クロック信号を出力し、第2の動作モードが指定されるのに応じて、前記外部クロック信号に同期し、かつ前記外部クロック信号よりも周波数の高い第2の内部クロック信号を出力する内部同期信号発生回路と、

前記外部クロック信号に同期して、前記アドレス信号を取りこむアドレス信号入力回路と、

前記内部同期信号発生回路の出力の各サイクルにおいて、前記アドレス信号に基づいて、時系列として順次隣接するメモリセルに対応する内部アドレス信号を生成するアドレスカウンタ回路と、

前記内部同期信号発生回路の出力に基づいて動作し、前記内部アドレス信号に応じて前記メモリセルを選択するメモリセル選択回路と、

前記メモリセル選択回路により選択されたメモリセルに書き込みデータを出力するデータ書き込み回路とを備え、前記データ書き込み回路は、

前記第2の動作モードにおいて、所定の書き込データに基づいて、前記第2の内部クロック信号に同期して、順次反転される内部書き込みデータを生成する内部データ生成回路と、

前記第2の動作モードにおいて、前記内部データ生成回路の出力を前記メモリセル選択回路により順次選択されるメモリセルに出力する駆動回路とを含む、同期型半導体記憶装置。

【請求項 2】 前記メモリセルアレイは、奇数アドレスに対応する第1のアドレス領域と、偶数アドレスに対応する第2のアドレス領域とを含み、前記メモリセル選択回路は、前記内部アドレス信号に応じて、前記第1および第2のアドレス領域において同時に、それぞれ少なくとも1つのメモリセル列を選択し、前記データ書き込み回路は、

前記外部クロック信号に同期して動作し、前記第1の動作モードでは、シリアルに与えられる少なくとも2つの書き込みデータを保持して、パラレルデータに変換し、前記第2の動作モードでは、与えられる前記所定の書き込みデータを保持するデータ入力回路をさらに含み、前記駆動回路は、

前記第1の動作モードでは、前記データ入力回路のパラレルデータ出力を、前記第1および第2のアドレス領域で選択されたメモリセル列にそれぞれ与える、請求項 1記載の同期型半導体記憶装置。

【請求項 3】 前記第2の動作モードにおいて、前記デ

ータ書き込み回路により前記第1および第2のアドレス領域に書き込まれたデータを順次データ対として読出し、前記データ対の比較結果を出力する比較回路をさらに備える、請求項 2記載の同期型半導体記憶装置。

【請求項 4】 外部クロック信号に同期して、アドレス信号と制御信号とを取りこむ同期型半導体記憶装置であって、

行列状に配置される複数のメモリセルを有するメモリセルアレイと、

第1の動作モードが指定されるのに応じて、前記外部クロック信号に同期した第1の内部クロック信号を出力し、第2の動作モードが指定されるのに応じて、前記外部クロック信号に同期し、かつ前記外部クロック信号よりも周波数の高い第2の内部クロック信号を出力する内部同期信号発生回路と、

前記外部クロック信号に同期して、前記アドレス信号を取りこむアドレス信号入力回路と、

前記内部同期信号発生回路の出力の各サイクルにおいて、前記アドレス信号に基づいて、順次バースト長に相当する個数の内部アドレス信号を生成するアドレスカウンタ回路と、

前記内部同期信号発生回路の出力に基づいて動作し、前記内部アドレス信号に応じて前記メモリセルを選択するメモリセル選択回路と、

前記メモリセル選択回路により選択されたメモリセルからのデータを読出すデータ読出回路とを備え、前記データ読出回路は、

前記第2の動作モードにおいて、前記バースト長に対応して順次読み出されるデータと期待値との比較を行う比較回路と、

前記比較回路の比較結果に不一致が生じるまでの前記内部アドレスの値をカウントするカウント回路とを含む、同期型半導体記憶装置。

【請求項 5】 前記アドレスカウンタ回路は、前記内部同期信号発生回路の出力の各サイクルにおいて、前記アドレス信号に基づいて、時系列として順次隣接するメモリセルに対応する内部アドレス信号を生成し、前記メモリセル選択回路により選択されたメモリセルに書き込みデータを出力するデータ書き込み回路とを備え、前記データ書き込み回路は、

前記第2の動作モードにおいて、所定の書き込データに基づいて、前記第2の内部クロック信号に同期して、順次反転される内部書き込みデータを生成する内部データ生成回路と、

前記第2の動作モードにおいて、前記内部データ生成回路の出力を前記メモリセル選択回路により順次選択されるメモリセルに出力する駆動回路とを含む、請求項 4記載の同期型半導体記憶装置。

【請求項 6】 前記メモリセルアレイは、奇数アドレスに対応する第1のアドレス領域と、

偶数アドレスに対応する第2のアドレス領域とを含み、前記メモリセル選択回路は、前記内部アドレス信号に応じて、前記第1および第2のアドレス領域において同時に、それぞれ少なくとも1つのメモリセル列を選択し、前記データ書き込み回路は、前記外部クロック信号に同期して動作し、前記第1の動作モードでは、シリアルに与えられる少なくとも2つの書き込みデータを保持して、パラレルデータに変換し、前記第2の動作モードでは、与えられる前記所定の書き込みデータを保持するデータ入力回路をさらに含み、前記駆動回路は、前記第1の動作モードでは、前記データ入力回路のパラレルデータ出力を、前記第1および第2のアドレス領域で選択されたメモリセル列にそれぞれ与え、前記比較回路は、前記第2の動作モードにおいて、前記第1および第2のアドレス領域のうち一方からの読出データを前記期待値とし、前記第1および第2のアドレス領域のうちの他方からの読出データとの比較を行う、請求項5記載の同期型半導体記憶装置。

#### 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特に、外部クロック信号に同期して動作する同期型半導体記憶装置に関する。

【0002】

【従来の技術】近年のマイクロプロセッサ（以下、MPUと称す）の動作速度の向上に伴い、主記憶装置として用いられるダイナミックランダムアクセスメモリ（以下、DRAMと称す）等の高速アクセスを実現するために、クロック信号に同期して動作する同期型DRAM（シンクロナスDRAM：以下、SDRAMと称す）等が用いられている。

【0003】このようなSDRAMにおいては、一層の高速動作を可能とするため、メモリセルアレイを互いに独立可能なバンクに分割し、バンク構成が用いられている。すなわち、各バンクごとに、その動作は、row系動作およびcolumn系動作について独立に制御され、たとえばこれらのバンクがインターリーブ動作をすることにより、プリチャージ時間等を抑制して高速動作が実現されている。

【0004】

【発明が解決しようとする課題】しかしながら、上述のようなSDRAMにおいては、より一層の高速動作を実現するために、外部クロック信号の活性化エッジ（たとえば、“L”レベルから“H”レベルへの変化エッジ）においてデータ出力を行なうだけでなく、不活性化エッジ（たとえば、“H”レベルから“L”レベルへの変化エッジ）にも同期して、データの入出力動作が行なわれる、いわゆるダブルデータレートSDRAM（以下、DDR-SDRAMと称す）が実現されている。これに

対して、従来のように、外部クロック信号の活性化エッジのみに同期してデータの入出力動作が行なわれるSDRAMをシングルデータレートSDRAM（以下、SDR-SDRAMと称す）と呼ばれる。

【0005】ところで、以上説明したように、SDRAM等の半導体記憶装置の動作速度が高速化するに伴って、その製造工程中あるいは製品出荷前段階における動作テストには、以下のような問題点が存在している。

【0006】すなわち、半導体記憶装置自体の動作速度が向上するのに合わせて、それをテストするためのテスト装置の動作速度をも向上させるものとする、きわめて高価なテスト装置が必要となり、このことは、試験コストの増大をもたらす。言い換えると、製品そのものの製造コストの増大をもたらしてしまうという問題があった。

【0007】本発明は、上記のような問題点を解決するためになされたものであって、高速動作が可能な同期型半導体記憶装置に対しても、テスト側の負担を減少させることが可能で、安価に動作試験を行なうことが可能な同期型半導体記憶装置を提供することである。

【0008】

【課題を解決するための手段】請求項1記載の同期型半導体記憶装置は、外部クロック信号に同期して、アドレス信号と制御信号とを取りこむ同期型半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイと、第1の動作モードが指定されるのに応じて、外部クロック信号に同期した第1の内部クロック信号を出力し、第2の動作モードが指定されるのに応じて、外部クロック信号に同期し、かつ外部クロック信号よりも周波数の高い第2の内部クロック信号を出力する内部同期信号発生回路と、外部クロック信号に同期して、アドレス信号を取りこむアドレス信号入力回路と、内部同期信号発生回路の出力の各サイクルにおいて、アドレス信号に基づいて、時系列として順次隣接するメモリセルに対応する内部アドレス信号を生成するアドレスカウンタ回路と、内部同期信号発生回路の出力に基づいて動作し、内部アドレス信号に応じてメモリセルを選択するメモリセル選択回路と、メモリセル選択回路により選択されたメモリセルに書き込みデータを出力するデータ書き込み回路とを備え、データ書き込み回路は、第2の動作モードにおいて、所定の書き込みに基づいて、第2の内部クロック信号に同期して、順次反転される内部書き込みデータを生成する内部データ生成回路と、第2の動作モードにおいて、内部データ生成回路の出力をメモリセル選択回路により順次選択されるメモリセルに出力する駆動回路とを含む。

【0009】請求項2記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、メモリセルアレイは、奇数アドレスに対応する第1のアドレス領域と、偶数アドレスに対応する第2のアドレス

領域とを含み、メモリセル選択回路は、内部アドレス信号に応じて、第1および第2のアドレス領域において同時に、それぞれ少なくとも1つのメモリセル列を選択し、データ書き込み回路は、外部クロック信号に同期して動作し、第1の動作モードでは、シリアルに与えられる少なくとも2つの書き込みデータを保持して、パラレルデータに変換し、第2の動作モードでは、与えられる所定の書き込みデータを保持するデータ入力回路をさらに含み、駆動回路は、第1の動作モードでは、データ入力回路のパラレルデータ出力を、第1および第2のアドレス領域で選択されたメモリセル列にそれぞれ与える。

【0010】請求項3記載の同期型半導体記憶装置は、請求項2記載の同期型半導体記憶装置の構成に加えて、第2の動作モードにおいて、データ書き込み回路により第1および第2のアドレス領域に書き込まれたデータを順次データ対として読出し、データ対の比較結果を出力する比較回路をさらに備える。

【0011】請求項4記載の同期型半導体記憶装置は、外部クロック信号に同期して、アドレス信号と制御信号とを取りこむ同期型半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイと、第1の動作モードが指定されるのに応じて、外部クロック信号に同期した第1の内部クロック信号を出力し、第2の動作モードが指定されるのに応じて、外部クロック信号に同期し、かつ外部クロック信号よりも周波数の高い第2の内部クロック信号を出力する内部同期信号発生回路と、外部クロック信号に同期して、アドレス信号を取りこむアドレス信号入力回路と、内部同期信号発生回路の出力の各サイクルにおいて、アドレス信号に基づいて、順次バースト長に相当する個数の内部アドレス信号を生成するアドレスカウンタ回路と、内部同期信号発生回路の出力に基づいて動作し、内部アドレス信号に応じてメモリセルを選択するメモリセル選択回路と、メモリセル選択回路により選択されたメモリセルからのデータを読出すデータ読出回路とを備え、データ読出回路は、第2の動作モードにおいて、バースト長に対応して順次読み出されるデータと期待値との比較を行う比較回路と、比較回路の比較結果に不一致が生じるまでの内部アドレスの値をカウントするカウント回路とを含む。

【0012】請求項5記載の同期型半導体記憶装置は、請求項4記載の同期型半導体記憶装置の構成に加えて、アドレスカウンタ回路は、内部同期信号発生回路の出力の各サイクルにおいて、アドレス信号に基づいて、時系列として順次隣接するメモリセルに対応する内部アドレス信号を生成し、メモリセル選択回路により選択されたメモリセルに書き込みデータを出力するデータ書き込み回路とを備え、データ書き込み回路は、第2の動作モードにおいて、所定の書き込みデータに基づいて、第2の内部クロック信号に同期して、順次反転される内部書き込みデータを生成する内部データ生成回路と、第2の動作モードに

おいて、内部データ生成回路の出力をメモリセル選択回路により順次選択されるメモリセルに出力する駆動回路とを含む。

【0013】請求項6記載の同期型半導体記憶装置は、請求項5記載の同期型半導体記憶装置の構成に加えて、メモリセルアレイは、奇数アドレスに対応する第1のアドレス領域と、偶数アドレスに対応する第2のアドレス領域とを含み、メモリセル選択回路は、内部アドレス信号に応じて、第1および第2のアドレス領域において同時に、それぞれ少なくとも1つのメモリセル列を選択し、データ書き込み回路は、外部クロック信号に同期して動作し、第1の動作モードでは、シリアルに与えられる少なくとも2つの書き込みデータを保持して、パラレルデータに変換し、第2の動作モードでは、与えられる所定の書き込みデータを保持するデータ入力回路をさらに含み、駆動回路は、第1の動作モードでは、データ入力回路のパラレルデータ出力を、第1および第2のアドレス領域で選択されたメモリセル列にそれぞれ与え、比較回路は、第2の動作モードにおいて、第1および第2のアドレス領域のうちの一方からの読出データを期待値とし、第1および第2のアドレス領域のうちの他方からの読出データとの比較を行う。

【0014】

【発明の実施の形態】【実施の形態1】図1は、本発明の実施の形態1の同期型半導体記憶装置1000の構成を示す概略ブロック図である。

【0015】SDRAM1000は、外部から与えられる相補なクロック信号ext. CLKおよびext. /CLKを受ける外部クロック信号入力端子1002と、外部クロック端子1002に与えられたクロック信号をバッファ処理するクロック入力バッファ150および152と、クロックバッファ150および152の出力を受けて、第1の内部クロック信号int. CLK1および第2の内部クロック信号int. CLK2を生成する内部制御クロック信号生成回路1008と、外部制御信号入力端子1010を介して与えられる外部制御信号を、外部クロック信号ext. CLKに同期して動作する入力バッファ1012~1020を介して受けるコマンドデコーダ1021およびモードデコーダ1022とを備える。

【0016】内部制御信号入力端子1010には、信号CKEと、チップセレクト信号/CSと、行アドレスストローブ信号/RASと、列アドレスストローブ信号/CASと書き込み制御信号/WEと、データマスク信号DM0~DM3が与えられる。

【0017】信号CKEは、チップへの制御信号の入力を可能とすることを指示するための信号であり、この信号が活性化されないと、制御信号の入力が許可されずチップとして動作しない。

【0018】信号/CSは、コマンド信号が入力されて

いるか否かを識別するための信号であり、この信号が活性化している状態（“L”レベル）において、クロック信号の立上りのエッジにおいて、他の制御信号のレベルの組合せに応じてコマンドの識別が行なわれる。

【0019】信号/RASは、行系回路の動作を指示するための信号であり、信号/CASは列系回路の動作の活性化を指示するための信号である。信号/WEは、書込動作あるいは読出動作の識別をするための信号である。

【0020】信号DM0～DM3は、それぞれ対応するデータ入出力端子DQ0～DQ7、DQ8～DQ15、DQ16～DQ23、DQ24からDQ31に対するデータ授受のマスク動作を指示する信号である。

【0021】コマンドデコーダ1021は、これら外部制御信号に応じて、SDRAM1000の内部回路の動作を制御するための内部制御信号を出力する。モードデコーダ1022は、たとえば内部制御信号として、信号ROWA、信号COLA、信号ACT、信号PC、信号READ、信号WRITE、信号APCおよび信号SRを出力する。信号ROWAは、ロウ系のアクセスが行なわれることを示す信号であり、信号COLAはコラム系アクセスが行なわれることを示す信号であり、信号ACTはワード線の活性化を指示する信号である。

【0022】信号PCはプリチャージ動作を指示して、行系の回路動作の終了を指示する信号である。信号READは列系の回路に対して読出動作を指示するための信号であり、信号WRITEは列系の回路に対して書込動作を指示するための信号である。

【0023】信号APCはオートプリチャージ動作を指示する信号であり、オートプリチャージ動作が指定されると、バーストサイクルの終了とともに、プリチャージ動作が自動的に開始される。信号SRはセルフリフレッシュ動作を指示するための信号であり、セルフリフレッシュ動作が開始されると、セルフリフレッシュタイマが動作し、一定時間が経過すると、ワード線を活性化させて、リフレッシュ動作を開始する。

【0024】モードデコーダ1022は、後に説明するように、たとえば、外部制御信号の組み合わせによりテストモード動作が指定されたか否かの検出を行う。

【0025】SDRAM1000は、さらに、セルフリフレッシュモードが信号SRにより指定されると、動作を開始し、一定時間が経過するとワード線の活性化、すなわちリフレッシュ動作の開始を指示するためのセルフリフレッシュタイマ1054と、セルフリフレッシュタイマ1054からの指示に従って、リフレッシュ動作を行なうアドレスを発生するためのリフレッシュカウンタ1056を含む。

【0026】SDRAM1000は、さらに、入力信号の“H”レベルまたは“L”レベルの判定の基準となる信号VREFを受ける参照電位入力端子1022と、ア

ドレス信号入力端子1030を介して与えられるアドレス信号と、上述した外部制御信号との組合せに応じて、所定の動作モードに対する情報、たとえばバースト長に対するデータや、シングルデータレート動作およびダブルデータレート動作のいずれが指定されているかに関する情報を保持するモードレジスタ1046と、外部クロック信号ext、CLKに同期して動作するアドレス信号入力バッファ1032～1038を介してアドレス信号を受けて、行アドレスが入力されるタイミングにおいて、入力された行アドレスを保持するロウアドレスラッチ1048と、アドレス信号A0～A12を受けて、列アドレスが入力されるタイミングにおいてこの列アドレスを保持するコラムアドレスラッチ1050と、リフレッシュアドレスカウンタ1056からの出力とロウアドレスラッチ1048からの出力とを受けて、通常動作においてはロウアドレスラッチ1048からの出力を、セルフリフレッシュ動作中はリフレッシュアドレスカウンタ1056からの出力を選択して出力するマルチプレクサ1058と、マルチプレクサ1058からの出力を受けて行アドレスをプリコードするためのロウプリデコーダ1062と、コラムアドレスラッチ1050に保持された列アドレスを基準として、モードレジスタ1046からのバースト長のデータに応じて内部列アドレスを生成するバーストアドレスカウンタ1060と、バーストアドレスカウンタ1060の出力を受けて、対応する列アドレスのプリコードを行なうコラムプリデコーダ1064と、アドレス入力端子に与えられるバンクアドレスBA0～BA2を、外部クロック信号ext、CLKに同期して動作する入力バッファ1040～1044を介して受け、指定されたバンクアドレス値を保持するバンクアドレスラッチ1052と、バンクアドレスラッチ1052の出力を受けて、バンクアドレスをデコードするバンクデコーダ1066とを備える。

【0027】なお、アドレス信号入力端子1030に与えられるアドレス信号は、モードレジスタへの動作モード情報の書込を行なう際に、その何ビットかの組合せによって、モードレジスタ中にデータを書込むためにも用いられる。たとえば、バースト長のBLや、CASレイテンシCLの値などの設定が、アドレス信号の所定のビット数の組合せにより指定される。

【0028】また、バンクアドレス信号BA0～BA2は、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいてアクセスバンクを指示する。すなわち、ロウ系のアクセス時、およびコラム系のアクセス時のそれぞれにおいて、アドレス信号入力端子1030に与えられたバンクアドレス信号BLA0～BLA2は、バンクアドレスラッチ1052に取込まれた後、バンクデコーダ1066によりデコードされた後、各メモリアレイブロック（バンク）に伝達される。

【0029】SDRAM1000は、さらに、それぞれ

が読出／書込動作を独立に行なうことが可能な単位であるバンク0～バンク7として動作するメモリアレイブロック1100、1110および1120と、バンクデコーダ1066からの出力およびロウプリデコーダ1062からの出力に応じて、対応するバンク中の行（ワード線）を選択するためのロウデコーダ1102と、コラムプリデコーダ1064からの出力に応じて対応するバンク中の列（ビット線対）を選択するためのコラムデコーダ1104と、読出動作においては選択されたバンク中の選択されたメモリアルセルから読出されたデータをグローバルI/OバスG-I/Oに与え、書込動作においては、バスG-I/Oにより伝達された書込データを対応するバンクに与えるI/Oポート1106と、書込動作において、外部から与えられた書込データを保持し、バーストG-I/Oに与え、読出動作において、バスG-I/Oにより伝達された読出データを保持するデータ入出力回路1086と、データ入出力回路1086とデータ入出力端子1070との間で入出力データDQ0～DQ31のやり取りを行なうための双方向入出力バッファ1072～1082とを含む。

【0030】入出力端子1068に対して双方向入出力バッファ1069を介して授受される信号QS0～QS3は、それぞれ対応するデータ入出力端子DQ0～DQ7、DQ8～DQ15、DQ16～DQ23、DQ24からDQ31のデータ授受のタイミングを示すデータストローブ信号である。以下では、信号QS0～QS3を信号QSと総称する。

【0031】図2は、図1に示したSDRAM1000の構成のうち、データ入出力動作にかかわる部分を抽出して示す概略ブロック図である。

【0032】図2においては、アドレス信号入力端子としてアドレス信号の最下位ビットA0が与えられるアドレス信号入力端子と、データ入出力端子のうちデータDQ0を入出力するデータ入出力端子および、制御信号入力端子1010のうち、動作モードを指定するためのモードコマンドを受ける制御信号入力端子に対応する部分のみを抽出して示す。

【0033】図2を参照して、アドレス信号入力端子1030に与えられたアドレス信号A0は、外部クロック信号ext. CLKに同期して動作するアドレス入力バッファ1032を経由して、ラッチ回路1049（ロウアドレスラッチ1048またはコラムアドレスラッチ1050を総称してラッチ1049と称す）に保持される。

【0034】ラッチ回路1049に保持されたアドレス信号は、内部クロック信号int. CLKに同期して動作するデコーダ1063（ロウプリデコーダ1062およびロウデコーダ1102、またはコラムプリデコーダ1064およびコラムデコーダ1104を総称してデコーダ1063と称す）によりデコードされる。デコード

された内部行アドレス信号に応じて、ロウデコーダ1102中のワード線ドライバ1200は、対応するワード線WLを選択的に活性化する。一方、デコードされた内部コラムアドレス信号に応じて、コラムデコーダ1104中のドライバ1202により、列選択線CSLが選択的に活性化される。

【0035】行アドレス信号および列アドレス信号は、通常のSDRAMと同様に、時分的にSDRAM1000に与えられる。

【0036】一方、制御信号入力端子（ここでは、読出／書込動作等を示すコマンドと、動作モードを示すモード信号を受ける制御信号入力端子を総称している）1010を介して与えられる制御信号は、外部クロック信号ext. CLKに同期して動作する入力バッファ1310（図1における入力バッファ1012～1020を総称）により取込まれ、ラッチ回路1312に保持される。

【0037】ラッチ回路1312に保持されたコマンドデータは、コマンドデコーダ1021によりデコードされ、たとえば、読出動作が指定されているか、書込動作が指定されているか等の検出が行なわれる。

【0038】一方ラッチ回路1312に保持されたデータに基づいて、モードデコーダ1022は、指定されたテストモードを判定し、後に説明するように、第1のテスト信号TS1、TS2およびTS3をそれぞれ選択的に活性化する。

【0039】ここで、コマンドデコーダ1021およびモードデコーダ1022も内部クロック信号int. CLKに同期して動作する。

【0040】内部制御クロック生成回路1008は、コマンドデコーダ1021からの指示に基づいて、読出動作ではリードクロック信号RCLKを、書込動作においてはライトクロック信号WCLKを、それぞれ出力する。

【0041】さらに、内部制御クロック生成回路1008は、モードデコーダ1022からの第1のテスト信号TS1を受けて、信号TS1が不活性である期間は外部クロック信号と同一の周波数であって、これに同期したクロック信号を内部クロック信号int. CLK1として出力し、信号TS1が活性状態では、さらに、後に説明するように、外部クロック信号ext. CLKの整数倍の周波数（たとえば、4倍の周波数）を持つ内部クロック信号int. CLK2を生成する。

【0042】データ入出力端子1070に与えられるデータは、データストローブ信号QSに同期して、データ入力バッファ1072により取込まれ、ラッチ回路1073eに保持される。ラッチ回路1073eに保持されたデータは、ライトクロック信号WCLKに応じて動作するドライバ回路1090によりグローバルI/OバスG-I/Oに与えられる。グローバルI/O線対、G-

1/0により伝達された書込データは、各バンクに対応して設けられている1/0回路1106により選択されたバンクに対して選択的に与えられる。1/0回路1106から、選択されているバンクに対するメイン1/0線対M-1/0に、ドライバ回路1204を介して、書込データが与えられる。書込データは、ワード線WLおよび列選択線CSLにより選択されているメモリセルに対して書込まれる。

【0043】ここで、ドライバ回路1090は、後に説明するように、第2のテスト信号TS2が活性状態では、書込サイクルごとにラッチ回路1073eに保持されているデータを交互に反転しつつ出力する。

【0044】一方、データ読出動作においては、ワード線WLおよび列選択線CSLにより選択されたメモリセルからの読出データは、メイン1/0線対M-1/0を介して伝達され、ドライバ回路1206により増幅された後、1/0回路1106を介して、グローバル1/0バスG-1/0に与えられる。

【0045】グローバル1/0バスを介して伝達されたデータは、ドライバ回路1092により、リードクロック信号RCLKに同期して、ラッチ回路1073bに与えられ、ラッチ回路1073bに保持されたデータが、データ出力バッファ1072bを介して、データ入出力端子DQ0に与えられる。

【0046】後に説明するように、ドライバ回路1092は、第1のテスト信号TS1が不活性である期間（通常動作モードにおいては、読出データを、そのままラッチ回路1073に伝達するのに対し、信号TS1が活性期間（“H”レベル）であってテストモードが指定されている期間）においては、メモリアレイから読出されたデータのテスト結果をラッチ回路1073bに対して与える。

【0047】データアウトプットバッファ1072bは、信号TS1が不活性期間（通常動作時）においては、SDRAM1000内部で生成されるデータストローブ信号QSと同期してデータ出力動作を行なう。これに対して、信号TS1が活性状態（“H”レベル）においては、データ出力のタイミングは外部クロック信号に同期して行なわれる。

【0048】【通常動作モードでのDDR-SDRAMの動作】図3は、図1に示したSDRAM1000のダブルデータレート動作の概略を説明するためのタイミングチャートである。

【0049】図3においては、バースト長が8で、リード動作のCASレイテンシが2の場合の動作を説明する。

【0050】ここで、バースト長が8、リード時のCASレイテンシが2の場合を示している。CASレイテンシが2とは、コマンド入力後2クロック目にデータ出力が開始されることを意味する。

【0051】【DDR-SDRAMモードでの書込動作】図3を参照して、時刻t0における外部クロック信号ext、CLKの立ち上がりのエッジにおいて、信号/CSおよび信号/RASが活性状態であることに応じて、SDRAMの活性化が指示される時刻t0において、行アドレスおよびバンクアドレスの取込が行なわれ、Rowアドレスラッチ1048およびバンクアドレスラッチ1052中に保持される。

【0052】続いて、時刻t1において内部クロック信号int、CLKの活性化のエッジで信号/CS、信号/CASおよび信号/WEが活性状態であることに応じて書込動作が指定される。このとき、列アドレスも入力されコラムアドレスラッチ1050がその値を保持する。このとき、バーストライトの動作モードを設定することで、次のサイクル以降での書込作業はバーストテストカウンタ1060により、SDRAM1000内部において自動的にコラムアドレスをインクリメントさせながら進行することになる。

【0053】書込動作が指定されることで内部における書込動作を指示するためのフラグ信号の信号WRITEが活性状態へと変化する。

【0054】その後は、SDRAM1000に与える信号QSに同期して、外部において書込データを変化させることで、書込データの取込が行なわれる。

【0055】さらに、シリアルに書きこまれたデータは、データ入出力回路1086において、2ビットごとに、パラレルデータに変換され、時刻t3以後、時刻t4～t6において、選択されたメモリセルに書きこまれる。

【0056】【DDR-SDRAMモードでの読出動作】次に、読出動作においては、時刻t10において、外部クロック信号ext、CLKの立ち上がりのエッジにおいて、信号/CSおよび信号RASが活性状態であることに応じて、ワード線を活性化させるためのACTコマンドの入力が行なわれる。この時点で、ワード線を指定するアドレスの入力も同時に行なわれる。

【0057】続いて、時刻t11において、信号/CSおよび信号/CASが活性状態であることに応じて、読出動作の指定が行なわれる。このとき、列アドレスの指定が行なわれ、コラムアドレスラッチ1050に保持される。コラムアドレスラッチ1050に保持された列アドレスに基づいて、バーストアドレスカウンタ1060が内部アドレスを生成する。ワード線が活性化され、選択されたメモリセルから2ビット並列に読出され、センスアンプにより増幅されたデータは、SDRAM1000中で生成される読出クロックRCLKに同期して読出される。

【0058】2ビット並列に読み出されたデータは、データ入出力回路1086に保持され、シリアルデータに変換されて、時刻t13から順次データ入出力端子10



70に対して出力されていく。

【0059】ここで、バーストリードの動作モードに対する設定が行なわれていると、時刻 $t_{14}$ 以降の読出動作は、内部で自動的にコラム アドレスをインクリメントさせながら、2ビットの並列読出およびシリアルデータの変換が順次行なわれ、データ入出力端子への出力が行われることになる。

【0060】このとき、データ出力に同期して、SDRAM1000から信号Q Sを出力し、SDRAM1000の外部に対してデータ出力のタイミングを与える。

【0061】以上説明したとおり、コラム系のアクセスにおいては、アドレス信号はコラム アドレスラッチ1050に取込まれる。この列アドレスのバースト時における変化の仕方は、後に説明するように、インタリープ方式とシーケンシャル方式との2種類がある。そのいずれの変化の仕方を選択するかは、アドレス信号の組合せにより、モードレジスタ1046中に動作情報として蓄積される。このモードレジスタ1046の制御に従って、バーストアドレスカウンタ1060の変化の仕方が異なることになる。

【0062】DDR-SDRAM動作モードでは、外部クロック信号の1サイクルにおいて、データを2回出力することが必要である。そこで、DDR-SDRAM動作モードでの内部回路の動作としては、1クロックサイクルにおいて、選択されたメモリアレイブロックから2個のデータを読出すことになる。そのために、バーストアドレスカウンタ1060から出力されるアドレス信号は、この2個のデータを読出すための2つのアドレスを一度に発生させることが必要となる。

【0063】この場合、問題となるのは、バーストアドレスの初期状態、すなわち、外部から与えられる列アドレス信号は、偶数あるいは奇数のいずれのアドレスでもよいために、バーストアドレスの生成は、入力されたアドレスから順次インクリメントしていけばよいわけではないことである。

【0064】たとえば、外部から列アドレス信号として1が入力された場合においても、発生されるべきベアの内部列アドレス信号は、シーケンシャルモードの場合には(1, 2)であるのに対し、インタリープモードの場合には(1, 0)となる。

【0065】したがって、偶数のアドレスでの列選択が行なわれる場所と、これとベアになる奇数のアドレスでの列選択(列選択信号が活性化される列)の場所とが異なることになる。

【0066】このために、SDRAM1000では、偶数アドレスに対応する領域と奇数アドレスに対応する領域にメモリアレイブロックの各々を分割し、偶数のアドレスに対応する列選択信号と、奇数のアドレスに対応する列選択信号のデコーダを分離し、独立に動作させる構成となっている。

【0067】たとえば、メモリアレイバンク0においては、偶数アドレスに対応する領域1100aと奇数アドレスに対応する領域1100bとにメモリアレイブロックが分割されている。

【0068】[内部制御クロック生成回路1008の構成] 図4は、内部制御クロック生成回路1008の構成をより詳細に説明するための概略ブロック図である。

【0069】内部制御クロック生成回路1008は、差動増幅器150からの出力とデータ出力部に与えられた内部クロック信号int、CLK1とを受けて、両者の位相を比較する位相比較器1562と、位相比較器1562からの出力に応じて、可変遅延回路1566の遅延量を制御する遅延制御回路1564を含む。

【0070】ここで、可変遅延回路1566は、各々の遅延時間が遅延制御回路1564からの遅延制御信号により制御される互いに直列に接続された複数の遅延回路を含む。

【0071】内部制御クロック生成回路1008は、さらに、内部制御クロック生成回路1008がDLL回路として動作する場合には、差動増幅器150からの出力を可変遅延回路1566に与え、同期回路156がPLL回路として動作する場合には、可変遅延回路1566に含まれる複数の遅延回路の中間点からの出力信号を可変遅延回路1566の入力として与えるマルチプレクサ1570と、DLL回路として動作する場合には可変遅延回路1566の出力をスイッチング回路186に与え、PLL回路として動作する場合には、可変遅延回路1566に含まれる複数の遅延回路のうち中央の遅延回路からの出力をスイッチング回路186に与えるマルチプレクサ1572を含む。

【0072】図4に示した分周回路158は、可変遅延回路1566に含まれる複数の遅延回路のうちの中央の遅延回路からの出力を受けて、所定の分周比で分周した信号を出力する。

【0073】スイッチング回路188は、分周器158の出力と可変遅延回路1566の出力とを受けて、いずれか一方を選択的に出力する。

【0074】スイッチング回路190は、クロックドライバ154からの出力と、スイッチング回路188からの出力とを受けて、いずれか一方を選択的に内部クロック信号int、CLK1として出力する。

【0075】スイッチング回路186は、差動増幅器150の出力とマルチプレクサ1572の出力とを受けて、いずれか一方を選択的にクロックドライバ154に与える。内部クロック信号int、CLK2は、内部回路の制御に用いられる。

【0076】また、内部高速モードにおいては、この内部同期回路はDLL動作モードからPLL動作モードに変化するため、以下ではこの同期回路のことをDPLL回路と呼ぶことにする。

【0077】そして、内部高速モード時に外部から入力されるクロックの周波数を整数倍する際の倍率は、特に限定されないが、たとえば4倍であるものとする。

【0078】なお、内部制御クロック生成回路1008が、DLL回路として動作するモードにおいて、その出力信号であるint、CLK1は、たとえば、データの出力の制御に用いられる。ここで、内部高速モード時に外部から入力されるクロックの周波数を整数倍する際の倍率は、8倍や16倍あるいはそれ以上とすることも可能である。

【0079】以下では、その動作について簡単に説明する。可変遅延回路1566の出力は、クロックドライバ154により内部回路に分配される。差動増幅回路（入力バッファ）を通った外部クロック信号ext、CLKは、スイッチング回路186により選択され、クロックドライバ154で駆動力が増加されて、内部回路系に制御信号の基準信号として分配される。

【0080】また、差動増幅器150の出力は、マルチプレクサ1570により選択されて、可変遅延回路1566のトリガ信号として入力される。

【0081】通常動作においては、可変遅延回路1566の出力が、スイッチング回路188および190により優先的にデータ出力部に与えられる。

【0082】スイッチング回路190を経てドライバ回路191で駆動力を増加したクロック信号は、各入出力端子DQ0～DQ31に分配される。

【0083】各入出力端子DQ0～DQ31に与えられたクロック信号は、位相比較器1562に入力される。位相比較器1562では、このレプリカバッファからの内部クロック信号int、CLK1と、差動増幅器150からの外部クロック信号からの位相が比較される。

【0084】次に、内部高速モード時の動作について説明する。この場合、可変遅延回路1566は、その総遅延量の半分の遅延量を有する遅延回路の出力が、マルチプレクサ1570により選択され、外部クロック信号の代わりに可変遅延回路1566の入力に与えられる。したがって、可変遅延回路は閉ループを形成することになる。

【0085】ここでは、マルチプレクサ1570にはインバータ1段分の回路が含まれており、このインバータの存在により、可変遅延回路およびこのインバータ回路で構成されるループ内に含まれる遅延段が奇数段になるように構成される。したがって、このループはリングオシレータを構成し、自走発振を開始する。

【0086】以上の構成において、可変遅延回路1566の総遅延量の半分の部位から出力を取出すこととしたのは、リング発振器の1周期分の遅延量と可変遅延回路の遅延量とを等しくするためである。このリング発振器の出力は、分周器158を通り1/4の周波数にされた後、スイッチング回路188および190により選択さ

れ、各入出力端子DQ0～DQ31に対して分配される。内部クロック信号int、CLK1と外部クロック信号との周期の位相が合うように位相比較器1562および遅延制御回路1564により可変遅延回路1566の遅延量が制御される。

【0087】したがって、位相が合っている状態においては、リング発振器の出力は、外部クロック信号ext、CLKの4倍の周波数となっている。

【0088】この4倍周波数の内部クロック信号int、CLK2が、マルチプレクサ1572およびスイッチング回路186により選択され、クロックドライバ154により駆動力が増加されて、内部回路系に制御信号として分配される。

【0089】以上のような構成とすることで、外部クロック信号ext、CLKの1クロック分の時間において、たとえば、リード動作中において、内部回路はバースト4回分の動作を自動的に実施することになる。

【0090】すなわち、このような動作モードでは、外部クロック信号ext、CLKの周波数が高くない場合においても、内部回路自体は高速動作を行なうことが可能である。

【0091】〔データ入力部の構成〕図5は、図2に示したデータ入力部の構成をより詳細に説明するためのブロック図である。

【0092】データ入出力端子DQ0に与えられたデータは、データ入力バッファ1072aを介して、ラッチ回路1073aに与えられる。

【0093】ラッチ回路1073aは、データ入力バッファ1072aからのデータをそれぞれ受けるデータラッチ1073a1および1073a2を含む。

【0094】データ入力バッファ1072aは、信号TS1が不活性状態（通常動作）においては、データストローブ信号QSに同期してデータ入出力端子DQ0に与えられるデータを交互にデータラッチ1073a1および1073a2に与える。

【0095】データラッチ1073a1に保持された書込データは、ライトクロック信号WCLKおよび信号WCLKを受けて反転するインバータ2004の出力信号によって制御されるトランスファゲート2002を介してラッチ回路2010に与えられる。

【0096】一方、データラッチ回路1073a2に保持された書込データは、信号WCLKおよび信号WCLKを受けて反転するインバータ2008の出力信号により制御されるトランスファゲート2006を介して、ラッチ回路2020に与えられる。ラッチ回路2010は、相互に入力ノードおよび出力ノードが接続するインバータ2012および2014を含む。

【0097】一方、ラッチ回路2020も、相互に入力ノードと出力ノードとが接続するインバータ2022および2024を含む。

【0098】カウンタ2030は、信号TS2が活性状態（“H”レベル）となるのに応じて活性化され、ライトクロック信号WCLKの活性化に応じてカウント動作を行なう2ビットカウンタである。つまり、カウンタ2030の出力信号Qおよびその反転信号/Qは、信号TS2が活性な状態においては、ライトクロック信号WCLKの1サイクルごとにそれぞれその値が反転する。

【0099】一方、カウンタ2030の出力信号Qは、信号TS2が不活性状態においては、“L”レベルを維持する。

【0100】ラッチ回路2010の出力は、切換回路2040を介して、インバータ2060に与えられ、書込データWD0として出力される。

【0101】一方、ラッチ回路2020の出力は、切換回路2050を介して、インバータ2062に与えられ、インバータ2062から書込データWD1として出力される。

【0102】後に説明するように、書込データWD0は、メモリアレイの偶数アドレス領域に対して出力される書込データであり、書込データWD1は、メモリアレイの奇数アドレス領域に与えられる書込データである。

【0103】切換回路2040は、インバータ2012の出力を受け、カウンタ2030の出力信号Qが“L”レベルのときに導通状態となって、インバータ2060に与えるトランスファゲート2042と、インバータ2014の出力を受け、信号Qが“H”レベルのときに導通状態となって、インバータ2062へ与えるトランスファゲート2044とを含む。

【0104】一方、切換回路2050は、インバータ2022の出力を受け、カウンタ2030の出力信号Qが“L”レベルのときに導通状態となって、インバータ2062に与えるトランスファゲート2054と、インバータ2024の出力を受け、信号Qが“H”レベルのときに導通状態となって、インバータ2062へ与えるトランスファゲート2052とを含む。

【0105】図6は、図5に示したデータ入力バッファ1072eの構成を説明するための概略ブロック図である。

【0106】データ入力バッファ1072eは、信号ENに依りて活性化され、データ入出力端子DQ0からの信号を受けるバッファ部2100と、信号DS1を受けるインバータ2102と、インバータ2102の出力と、データストローブ信号QSとを受けるNAND回路2104と、データストローブ信号QSおよび信号TS1を受けるOR回路2106と、NAND回路2104の出力によりゲート電位が制御されるNチャネルMOSトランジスタ2110と、NチャネルMOSトランジスタ2110を介してバッファ部2100からの信号を受けるラッチ回路2112と、ゲート電位がOR回路2106の出力により制御され、ラッチ回路2112と、デ

ータラッチ1073eとを接続するNチャネルMOSトランジスタ2114と、ゲート電位がOR回路2106の出力により制御されるNチャネルMOSトランジスタ2120と、NチャネルMOSトランジスタ2120を介して、バッファ部2100からの出力信号を受けるラッチ回路2122と、ゲート電位がNAND回路2104の出力により制御され、ラッチ回路2122とデータラッチ1073bとを接続するNチャネルMOSトランジスタ2124とを含む。

【0107】図7は、図1に示したメモリアレイブロック1100の構成をより詳細に説明するための概略ブロック図である。

【0108】メモリアレイブロック1100は、偶数アドレスが割当てられてメモリセルアレイ領域1100aと、奇数アドレスが割当てられている奇数アドレス領域1100bより構成される。

【0109】メモリアレイブロックは、その行方向（ワード線方向）に沿って、複数のメモリアレイブロックMAB<sub>i</sub>（*i*=1, ..., N）に分割されているものとする。

【0110】図7においては、特に、1番目のメモリアレイブロックMAB<sub>1</sub>が行アドレス信号に応じて選択状態となっているものとする。メモリアレイブロックMAB<sub>1</sub>の両側には、センスアンプSAB<sub>1</sub>およびSAB<sub>1+1</sub>がそれぞれ配置されている。

【0111】偶数アドレス領域1100aにおいては、内部列アドレス信号CA1~CA4のいずれかが活性化されるのに依りて、奇数アドレス領域1100bにおいては、内部列アドレス信号CA1'~CA4'のいずれかが活性化されるのに依りて、それぞれ1本ずつの列選択線CSLが活性化される。

【0112】たとえば、バースト書込動作においては、バーストアドレスカウンタ1060のカウント結果に基づいて、内部列アドレス信号CA1~CA4および内部列アドレス信号CA1'~CA4'が順次生成され、1度に偶数アドレス領域1100aおよび奇数アドレス領域1100bに対して、2ビットずつのデータ書込が行なわれることになる。

【0113】グローバルI/OバスG-I/Oにより伝達された書込データWD0およびWD1は、それぞれ偶数アドレス領域1100aに対して設けられているメインI/O線対M-I/O0および奇数アドレス領域1100bに対応して設けられているメインI/O線対M-I/O1に伝達される。

【0114】たとえば、上述したようなバースト書込動作モードにおいては、書込データWD0として、データD1、D3、D5およびD7が順次メインI/O線対M-I/O0に与えられ、書込データWD1として、データD2、D4、D6およびD8がメインI/O線対M-I/O1に順次与えられる。

【0115】 以上のようにして、互いに隣接するメモリセル列に対して、偶数アドレス領域1100aおよび奇数アドレス領域1100bのそれぞれにおいて、データが4サイクルにわたって2ビットずつ書込まれることで、合計8ビットのデータ書込が行なわれることになる。

【0116】 図8は、図7に示したメモリアレイブロックMAB1の構成をより詳細に説明するための概略ブロック図である。

【0117】 図8においては、メモリアレイブロックMAB1のうち、4つのメモリセル列にそれぞれ対応して設けられるビット線対BL1、/BL1、…、BL4、/BL4の構成を示す。

【0118】 図8を参照して、ビット線対BL1、/BL1およびBL3、/BL3に対して設けられるセンスアンプは、センスアンプ帯SAB1+1に属し、ビット線対BL2、/BL2およびBL4、/BL4に対して設けられるセンスアンプSAは、センスアンプ帯SAB1に属している。

【0119】 すなわち、隣接するビット線対に対応するセンスアンプSAは、交互に、メモリアレイブロックMAB1について対向して設けられるセンスアンプ帯SAB1およびSAB1+1内に設けられる構成となっている。

【0120】 メイン1/O線対M-1/Oにより伝達された書込データは、スイッチ回路SWを介して、ワード線方向に設けられるサブ1/O線対S-1/Oに伝達される。ビット線対BL1、/BL1と、サブ1/O線対S-1/Oは、それぞれトランジスタTR11およびTR12を介して接続され、ビット線対BL2、/BL2とサブ1/O線対S-1/Oとは、NチャネルMOSトランジスタTR21およびTR22をそれぞれ介して接続されている。

【0121】 トランジスタTR11およびTR12のゲート電位は、コラムデコーダ1104により選択的に活性化される列選択線CSL1により制御される。一方、トランジスタTR21およびTR22のゲートは、同様にコラムデコーダ1104により選択的に活性化される列選択線CSL2により制御される。

【0122】 選択されたワード線WLに対応するメモリセルMCは、それぞれビット線対BL1およびBL2に接続している。

【0123】 ビット線対BL3、/BL3およびBL4、/BL4についても同様の構成が設けられている。

【0124】 列選択線CSL1~CSL4は、それぞれ列アドレスCA1~CA4に応じて選択的に活性化される。

【0125】 図9は、図8に示したメモリセルに対して、データ書込を行なった場合の書込データの配置を示す平面図である。

【0126】 図9においては、図5において説明したドライバ回路内のカウンタ2030が、信号TS2に応じて活性化され、ライトクロック信号WCLKのサイクルごとに書込データの反転が行なわれるものとする。

【0127】 すなわち、図9を参照して、まず書込サイクルの第1サイクルにおいては、列アドレス信号CA1に応じてビット線対BL1および/BL1が選択され、選択されたワード線WLにより制御されるメモリセルMC1に対しては、ビット線BL1とメモリセルMC1とを接続するためのビット線コンタクトBC1を介して、“H”レベルのデータが書込まれる。

【0128】 続いて、書込サイクルの第2サイクルにおいては、ビット線対BL2および/BL2がアドレス信号CA2に応じて選択され、選択されたワード線WLにより活性化されるメモリセルMC2に対しては、ビット線BL2と、メモリセルMC2とを繋ぐビット線コンタクトBC2を介して、“L”レベルのデータが書込まれる。

【0129】 すなわち、ビット線対BL1、/BL1に対するデータの書込が行なわれる期間も、ビット線対BL2、/BL2にデータ書込が行なわれる期間も、ラッチ回路1073aに保持されているデータはいずれも“H”レベルに相当するが、カウンタ回路2030の出力レベルが反転することにより、反転されたレベル(“L”レベル)のデータが、メモリセルMC2に対して書込まれることになる。

【0130】 以下、同様にして、書込動作の第3サイクルにおいては、列アドレス信号CA3に応じて選択されるビット線対BL3、/BL3に接続するメモリセルMC3に対して“H”レベルのデータが書込まれ、第4サイクルにおいては、ビット線対BL4、/BL4に接続するメモリセルMC4に対して、“L”レベルのデータの書込が行なわれる。

【0131】 以上のようにして、テストモード信号TS2が活性化している状態では、行方向に互いに隣接するメモリセルに対して、互いに反転したデータが書込まれるため、メモリセルのリフレッシュ特性を測定する試験を行なう場合は、メモリセル間に電圧ストレスをかけた状態でテストを行なうことが可能となる。

【0132】 すなわち、メモリセル間のリーク電流による不良が存在するかどうかを、図9のようにして書込まれたデータを所定時間経過後読出すことで試験することが可能となる。

【0133】 図10は、以上説明したようなテスト動作モードであって、信号TS1および信号TS2がともに活性状態(“H”レベル)である場合のテスト動作を説明するためのタイミングチャートである。

【0134】 図10に示した時刻t1以前の段階で、書込動作モードが指定され、かつ行アドレス信号が与えられているものとする。

【0135】時刻 $t_1$ における外部クロック信号 $ext$ 、CLKの立上がりエッジにおいて、コマンド信号と列アドレス信号が与えられる。

【0136】一方、時刻 $t_1$ において、外部からのデータ書き込みのタイミングをSDRAM1000に与えるためのデータストローブ信号 $QS$ も活性状態となり、これに応じて、データ入出力端子に与えられるデータ $DA$ が、たとえば“H”レベルとなる。

【0137】これに応じて、ラッチ回路1073a中のデータラッチ1073a1および1073a2の双方に、同時に“H”レベルのデータ書き込みが行なわれる。

【0138】続いて、外部クロック信号 $ext$ 、CLKの時刻 $t_1$ における立上がりエッジから所定時間遅延した点で、内部制御クロック生成回路1008からライトクロック信号 $WCLK$ が出力され始める。

【0139】図10に示したとおり、テスト動作モードにおいては、外部クロック信号 $ext$ 、CLKの4倍の周波数(1/4の周期)のライトクロック信号 $WCLK$ が生成されている。

【0140】時刻 $t_2$ におけるライトクロック信号 $WCLK$ の立上がりエッジに反応して、書き込みデータ $WD0$ および $WD1$ が、ドライバ回路1090から出力され、グローバルI/Oバス上をデータ $D1$ および $D2$ として伝達される。

【0141】時刻 $t_3$ において、列アドレス信号 $CA1$ に対応する列選択線 $CSL1$ が活性状態とされ、“H”レベルであるデータ $D1$ および $D2$ が、それぞれ偶数アドレス領域1100aおよび奇数アドレス領域1100bの選択されたメモリセル列に書き込まれる。

【0142】時刻 $t_4$ において、列選択線 $CSL1$ は非活性状態となり、一方、グローバルI/O線対 $G-1/O$ には、ドライバ回路1090から、“L”レベルのデータが出力される。

【0143】このデータは、書き込みデータ $D3$ および $D4$ として、それぞれ偶数アドレス領域1100aおよび奇数アドレス領域1100bに伝達される。時刻 $t_5$ において、列アドレス信号 $CA2$ に対応する列選択線 $CSL2$ が活性状態とされるのに応じて、この“L”レベルのデータ $D3$ および $D4$ が選択されたメモリセル列中のメモリセルにそれぞれ書き込まれる。

【0144】以後、同様にして、次のライトクロック $WCLK$ のサイクルにおいては、“H”レベルのデータ $D5$ および $D6$ がそれぞれ書き込まれ、さらに次のライトクロック $WCLK$ のサイクルにおいては、“L”レベルの書き込みデータ $D7$ および $D8$ が、偶数アドレス領域1100aおよび奇数アドレス領域1100bにおいてそれぞれ選択されたメモリセルに対して書き込まれる。

【0145】図11は、図2に示したリードドライバ回路1092の構成を説明するための概略ブロック図である。

【0146】図11を参照して、リードドライバ回路1092は、偶数アドレス領域1100aからの読出データ $RD0$ を受けるインバータ2302と、奇数アドレス領域1100bからの読出データを受けるインバータ2304と、読出データ $RD0$ および $RD1$ を受けて、両者の比較結果を信号 $TROUT$ として出力する比較回路2310と、インバータ2302の出力および信号 $TROUT$ を受ける切換回路2320と、インバータ2304の出力および信号 $TROUT$ を受ける切換回路2330を含む。

【0147】切換回路2320は、インバータ2302の出力を受け、信号 $TS1$ および信号 $TS1$ の反転信号を出力するインバータ2336の出力により制御されて、信号 $TS1$ が“L”レベルにおいて導通状態となるトランスファゲート2322と、信号 $TS1$ およびその反転信号により制御され、信号 $TROUT$ を受けて、信号 $TS1$ が“H”レベルにおいて導通状態となるトランスファゲート2324を含む。

【0148】切換回路2330は、信号 $TS1$ およびその反転信号により制御され、インバータ2304の出力を受けて、信号 $TS1$ が“L”レベルにおいて導通状態となるトランスファゲート2332と、信号 $TS1$ およびその反転信号により制御され、信号 $TS1$ が“H”レベルにおいて導通状態となるトランスファゲート2334を含む。

【0149】ドライバ回路1092はさらに、トランスファゲート2322および2324の出力を受けるラッチ回路2340と、トランスファゲート2332および2334の出力を受けるラッチ回路2350を含む。

【0150】ラッチ回路2340は、トランスファゲート2322の出力を受けるインバータ2342と、インバータ2342とラッチ回路を構成するように接続され、入力ノードにトランスファゲート2324の出力を受けるインバータ2344を含む。

【0151】ラッチ回路2350は、トランスファゲート2332の出力を受けるインバータ2352と、インバータ2352とラッチ回路を構成するように接続され、入力ノードにトランスファゲート2334の出力を受けるインバータ2354を含む。

【0152】ドライバ回路1092は、さらに、リードクロック信号 $RCLK$ を受けるインバータ2362と、信号 $RCLK$ およびその反転信号により制御され、ラッチ回路2344の出力を受けて、読出クロック信号が“L”レベルにおいて導通状態となるトランスファゲート2360と、信号 $RCLK$ およびその反転信号を出力するインバータ2372により制御され、ラッチ回路2350の出力を受けて、信号 $RCLK$ が“L”レベルにおいて導通状態となるトランスファゲート2370を含む。

【0153】トランスファゲート2360の出力は、ラ

ラッチ回路1073b中のデータラッチ1073b1に保持され、トランスファゲート2370の出力は、ラッチ回路1073b中のデータラッチ1073b2により保持される。

【0154】データ出力バッファ1072bは、データラッチ1073b1および1073b2の出力をそれぞれ受けて、信号TS1が“L”レベル（通常動作時）においては、データラッチ1073b1および1073b2に空のデータを交互に出力し、信号TS1が活性状態（“H”レベル）においては、データラッチ1073b1または1073b2のいずれかの出力のみをデータ入出力端子DQ0に出力する。

【0155】図12は、図11に示した比較回路2310の構成を説明するための概略ブロック図である。

【0156】比較回路2310は、読出データRDOおよびRD1を受ける否定排他的論理和演算回路EXNORと、電源電位Vccと接地電位2508との間に直列に接続されるPチャネルMOSトランジスタ2504および2506ならびにNチャネルMOSトランジスタ2508を含む。

【0157】PチャネルMOSトランジスタ2504およびNチャネルMOSトランジスタ2508のゲートは、プリチャージ信号PREが入力し、PチャネルMOSトランジスタ2506のゲートには、論理ゲートNEXORの出力が入力する。

【0158】以下では、PチャネルMOSトランジスタ2506およびNチャネルMOSトランジスタ2508の接続ノードをノードN1と呼ぶことにする。

【0159】比較回路2310は、さらに、信号TS1とノードN1の電位レベルとを入力として受け、信号TROUTを出力するNAND回路2510を含む。

【0160】以下、比較回路2310の動作について説明する。テスト動作モードであって、信号TS1が“H”レベルにおいて、バースト動作によるデータ読出を行なう以前に、予めプリチャージ信号PREは一旦“H”レベルとなることで、NチャネルMOSトランジスタ2508を導通状態とし、ノードN1のレベルは、“L”レベルとされているものとする。

【0161】このような初期設定動作の後に、読出データRDO、RD1が同一のデータである場合は、排他的否定論理和演算回路EXNORの出力は“H”レベルとなるので、PチャネルMOSトランジスタ2506は非導通状態のままである。

【0162】したがって、NAND回路2510からの出力信号TROUTは“H”レベルを維持する。このとき、データ入出力端子DQ0には、“H”レベルの信号が出力され、偶数領域および奇数領域から読出されたデータが一致していることが示される。

【0163】しかしながら、連続して読出されるデータのうち、1回でも読出データRDOおよびRD1が異な

った値となっている場合は、ゲート回路EXNORの出力は“L”レベルとなり、PチャネルMOSトランジスタ2506を導通状態とする。これに応じて、ノードN1のレベルは“H”レベルまで充電される。

【0164】ノードN1の電位レベルが“H”レベルとなることにより、出力信号TROUTは“L”レベルとなり、次にプリチャージ信号が活性化するまで、データ入出力端子DQ0に出力されるレベルは“L”レベルを維持することになる。

【0165】すなわち、以上のような動作により、ある特定の1つのデータ入出力ピンDQ0に対し、連続して読出されるバーストデータのテスト結果を示す読出データが出力され、読出動作モード中に1つでも偶数アドレス領域と奇数アドレス領域で一致しない場合には、“L”レベルのフェイル信号を対応するデータ入出力ピンDQ0に出力することになる。

【0166】上述したとおり、このとき、データ出力のタイミングは外部クロック（低周波数）に同期して行なわれる。

【0167】このように、テスト動作モードにおいては、外部クロック信号よりも、内部回路が高速に動作し、かつ、隣接するメモリエル間で互いに反転したデータを内部生成して書込むので、テストの負担を軽減することが可能である。

【0168】〔実施の形態2〕実施の形態1においては、バースト読出される一連のデータのうち、1組でもデータの一致しない読出データが存在する場合、データ入出力端子には不一致状態が検出されたことを示す“L”レベルの信号が出力される。

【0169】しかしながら、このような構成のみでは、一連のバースト読出動作中に不良ビットが存在したことはわかるものの、いずれのアドレスのビットにおいて不良アドレスが発生しているのかまでは判定することはできない。

【0170】実施の形態2の同期型半導体記憶装置においては、たとえば、複数のデータ入出力端子DQ0～DQ3にそれぞれ対応して図11に示したような比較回路2310が設けられており、この複数の比較回路2310からの結果に基づいて、判定結果を生成する不良アドレスモニタ回路3000がさらに設けられる構成となっている点で実施の形態1のSDRAM1000と異なる。

【0171】その他の点は実施の形態1のSDRAM1000の構成と同様であるので、以下では、この不良アドレスモニタ回路3000の構成を中心に説明することにする。

【0172】なお、以下の説明では、説明の簡便のために、読出データの出力が、データ入出力端子DQ0～DQ3に対して行なわれる場合を例にとりて説明するが、本発明はこのような場合に限定されることなく、より少

ないデータ入出力端子に対して、または、より多くのデータ入出力端子に対して、データ出力が行なわれる場合に適用することも可能である。

【0173】比較回路2310の構成は、図11に示した構成と同様である。以下では、データ入出力端子DQ0～DQ3にそれぞれ対応する比較回路を区別するために、データ入出力端子DQ0～DQ3にそれぞれ対応する比較回路を2310、0～2310、3で表わすものとする。

【0174】比較回路2310、0～2310、3からそれぞれ出力されるテスト結果TROUT0～TROUT3を不良アドレスモニタ回路3000は受けて、信号TROUT0～TROUT3のいずれもが正常であることを示しているかぎり（“H”レベルであるかぎり）、不良アドレスモニタ回路3000は、データ出力が行なわれる期間中のリードクロック信号RCLKのサイクル数のカウントを行なう。信号TROUT0～信号TROUT3のいずれかが、判定結果が不良であることを示すと、不良アドレスモニタ回路3000は、信号RCLKのカウント動作を停止する。不良アドレスモニタ回路3000のカウント結果は、テスト動作時には使用しないライトデータマスク信号用のデータ入出力端子DQMOおよびDQM1に対して出力される。

【0175】すなわち、ライトデータマスク信号の入力ピンDQMOおよびDQM1に対するデータ入出力バッファ3100および3102は、実施の形態2のようなテストモードが指定されておらず、モードデコーダ1022からの信号TS3が不活性状態（“L”レベル）である期間は、入出力端子DQMOおよびDQM1からのデータを、それぞれ取込むのに対し、信号TS3が活性状態（“H”レベル）では、不良アドレスモニタ回路3000からの出力信号Ad1およびAd2をそれぞれ受けて、入出力端子DQMOおよびDQM1に出力する。

【0176】図14は、図13に示した不良アドレスモニタ回路3000の構成を説明するための概略ブロック図である。

【0177】不良アドレスモニタ回路3000は、信号TROUT0～信号TROUT3を受けるAND回路3200と、AND回路3200の出力およびリードクロック信号RCLKを受けるAND回路3200と、リセット信号RSTに応じてリセットされ、AND回路3202の出力に応じて、カウント動作をする第1および第2の2ビットカウンタ3204および3206とを含む。

【0178】第1の2ビットカウンタ3204の出力が、信号Ad1として出力され、第1の2ビットカウンタ3204の出力を受けてカウント動作をする第2のカウンタ3206の出力が信号Ad2として出力される。

【0179】なお、以上の説明で明らかなように、バースト動作で読出されるデータ数、すなわちバースト長が

より長い場合には、2ビットカウンタの数を増やすことで、同様の動作を行なうことが可能である。

【0180】以上のような構成をすることで、バースト読出動作中に、不良結果が生じた場合には、カウンタ3204および3206のカウント動作が停止し、停止した時点でのカウント結果が、入出力端子DQMOおよびDQM1から外部に出力される。

【0181】テスト側で、このDQMOおよびDQM1の出力レベルを確認することで、バースト読出中のいずれのアドレスにおいて不良が生じたのかを特定することが可能となる。

【0182】なお、以上の説明では、同期型半導体記憶装置1000は、通常動作ではダブルデータレート動作、すなわち、外部クロック信号の立上りエッジおよび立下りエッジのいずれにおいても、データの読出および書込み動作が行なわれることで高速なアクセスが行なわれる場合について説明した。しかしながら、本発明は、このような場合に限定されなく、たとえば、いわゆるランバス型のDRAM、すなわち、外部クロック信号に対して、データの読出／書込みのレートがダブルデータレート以上のメモリに適用することも可能である。つまり、ランバス型DRAMにおいても外部クロックに同期した内部クロックが、内部同期信号生成回路により生成される。したがって、以上の説明と同様に、テスト動作モードでは、この内部同期信号生成回路が外部クロック信号よりも高周波の内部クロック信号を発生することとすると、実施の形態1および2と同様のテスト動作を行うことが可能である。

【0183】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0184】

【発明の効果】請求項1記載の同期型半導体記憶装置は、第2の動作モードにおいては、外部クロック信号よりも、内部回路が高速に動作し、かつ、隣接するメモリセル間で互いに反転したデータを内部生成して書込むので、テストの負担を軽減することが可能である。

【0185】請求項2の同期型半導体記憶装置は、ダブルデータレートで動作可能な同期型半導体記憶装置において、請求項1記載の同期型半導体記憶装置と同様の効果を奏することが可能である。

【0186】請求項3記載の同期型半導体記憶装置は、請求項2記載の同期型半導体記憶装置の奏する効果に加えて、データ読出時においてデータの判定結果が出力されるのでテストの負担を軽減することが可能である。

【0187】請求項4ないし6記載の同期型半導体記憶装置においては、第2の動作モードにおいては、外部ク

ロック信号よりも、内部回路が高速に動作し、かつ、バースト読み出しされるいずれのアドレスにおいて不良が発生したかを検知することが可能である。

#### 【図面の簡単な説明】

- 【図１】 本発明の実施の形態１のＳＤＲＡＭ１０００の構成を示す概略ブロック図である。  
 【図２】 ＳＤＲＡＭ１０００のデータ入出力部の構成を示す概略ブロック図である。  
 【図３】 ＳＤＲＡＭ１０００の通常動作を説明するためのタイミングチャートである。  
 【図４】 内部制御クロック生成回路１００８の構成を示す概略ブロック図である。  
 【図５】 書込ドライバ１００９の構成を説明するための概略ブロック図である。  
 【図６】 データ入力バッファ１０７２の構成を説明するための概略ブロック図である。  
 【図７】 メモリアレイ部の構成を説明するための概略ブロック図である。  
 【図８】 メモリアレイブロックＭＡＢｉの構成を説明するための概略ブロック図である。  
 【図９】 テスト動作モード時のデータ書込パターンを説明するための平面図である。  
 【図１０】 実施の形態１のＳＤＲＡＭ１０００のテスト動作を説明するためのタイミングチャートである。  
 【図１１】 リードドライバ回路１０９２の構成を説明するための概略ブロック図である。

【図１２】 比較回路２３１０の構成を説明するための概略ブロック図である。

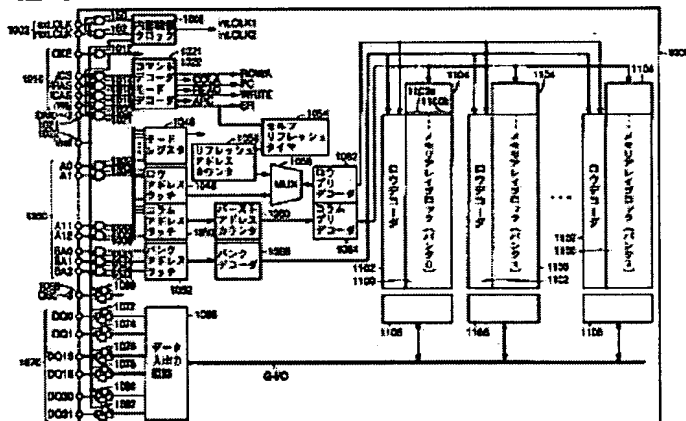
【図１３】 本発明の実施の形態２の不良アドレスモニタ回路３０００を説明するための概略ブロック図である。

【図１４】 不良アドレスモニタ回路３０００の構成を説明するための概略ブロック図である。

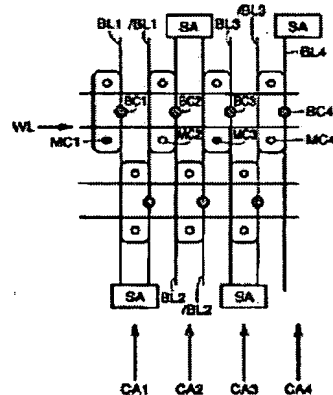
#### 【符号の説明】

１０００ 同期型半導体記憶装置 １００２ クロック入力端子、１００４、１００６ クロック入力バッファ、１００８ 内部制御クロック生成回路、１０１０ 外部制御信号入力端子群、１０１２、１０１４、１０１６、１０１８、１０２０ 制御信号入力バッファ、１０２２ モードデコーダ、１０３０ アドレス信号入力端子群、１０３２～１０４４ 入力バッファ、１０４６ モードレジスタ、１０４８ ロウアドレスラッチ、１０５０ コラムアドレスラッチ、１０５２ バンクアドレスラッチ、１０５４ セルフリフレッシュタイマ、１０５６ リフレッシュアドレスカウンタ、１０５８ マルチプレクサ、１０６０ バーストアドレスカウンタ、１０６２ ロウプリデコーダ、１０６４ コラムプリデコーダ、１０６６ バンクデコーダ、１０７０ データ入出力端子、１０７２～１０８２ 入出力バッファ回路、１０８６ データ入出力回路、１１００ メモリアレイブロック、１１０２ ロウデコーダ、１１０４ コラムデコーダ、１１０６ １／Ｏポート。

【図１】

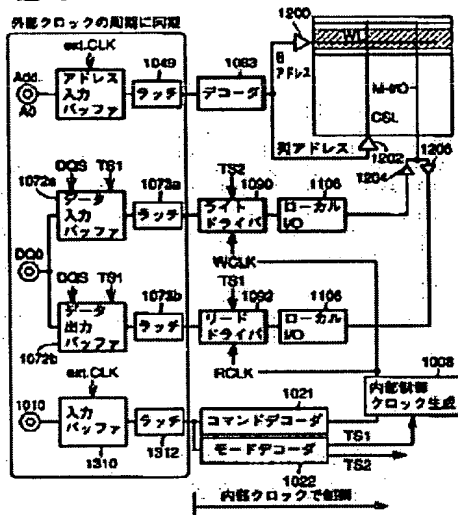


【図９】

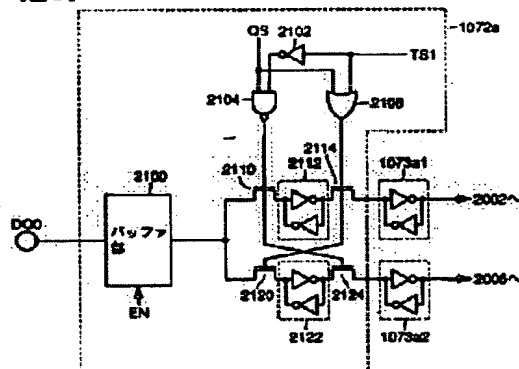




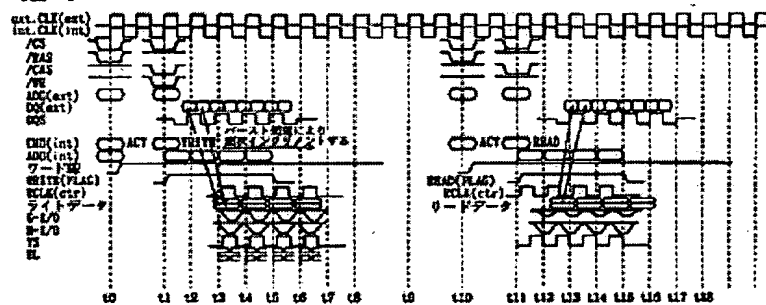
【圖 2】



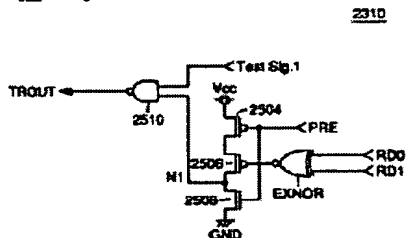
【図6】



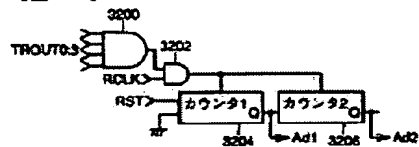
【図 3】



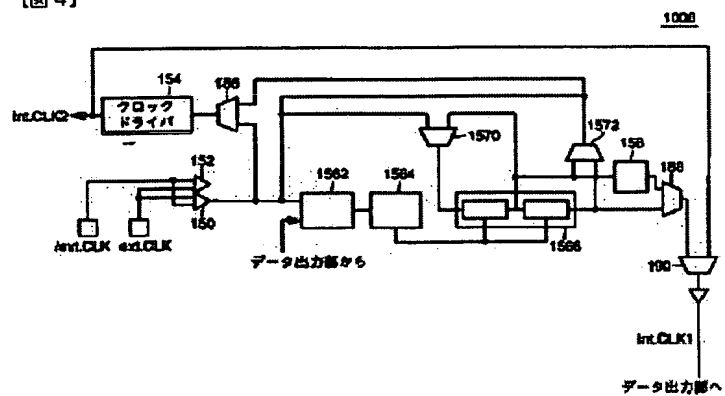
【图 12】



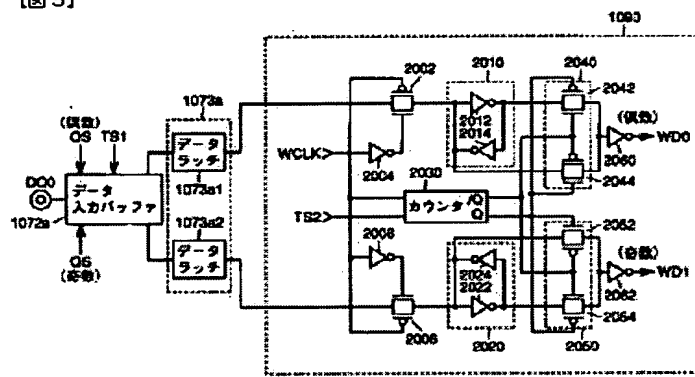
【例 1.4】



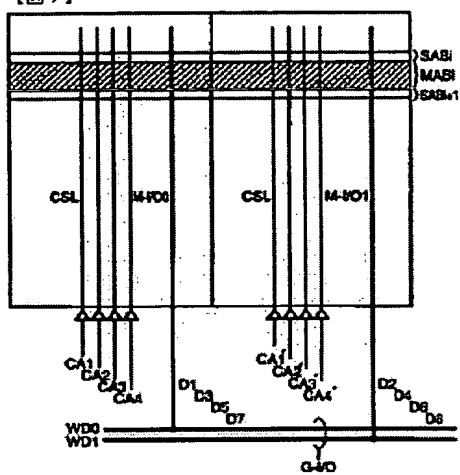
【圖 4】



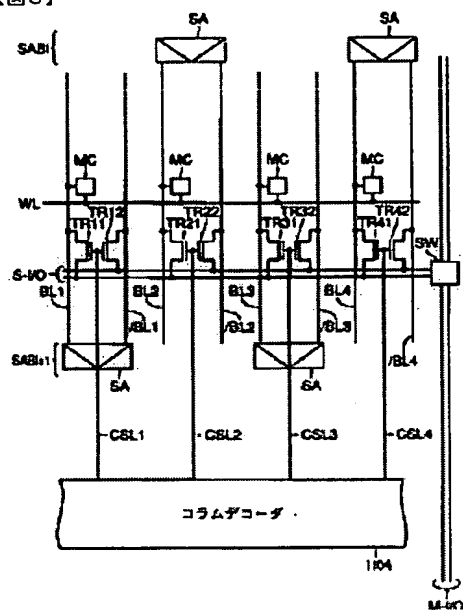
【圖 5】



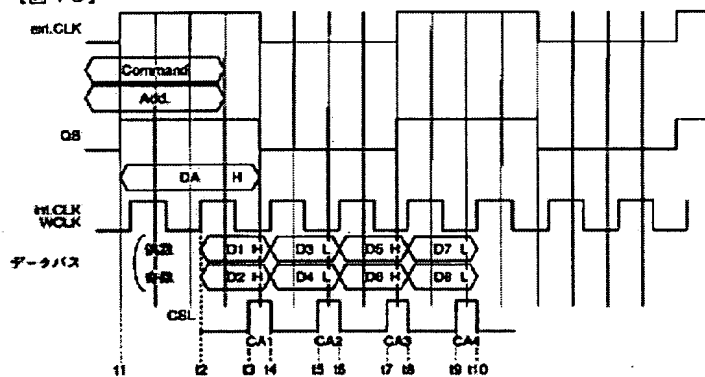
【图 7】



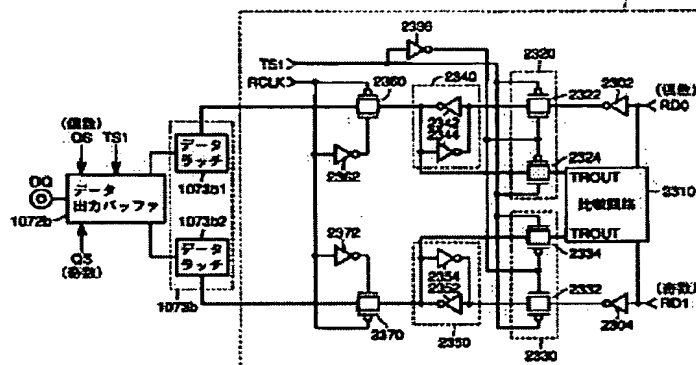
【図8】



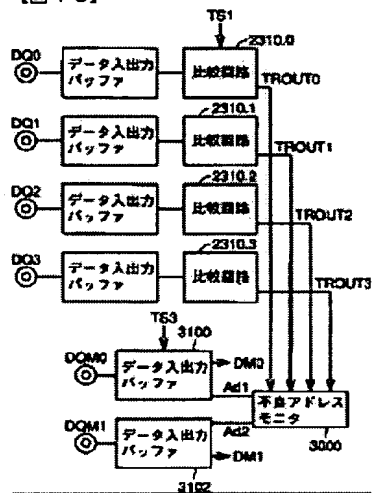
【図 10】



1092



T51



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**